

News Release

2019年2月19日
株式会社日立製作所

IoT 機器に実装可能な名刺サイズの CMOS アニーリングマシンを開発

高集積化と高速化により、最適化問題計算時のエネルギー効率を
従来型コンピュータと比べて約 17 万倍に向上



図 1 開発した CMOS アニーリングマシン

株式会社日立製作所(執行役社長兼 CEO:東原 敏昭/以下、日立)は、実社会の複雑な問題を解くための CMOS アニーリングマシン^{*1} を名刺サイズへ高集積化するとともに高速化を図り、さらにエネルギー効率を大幅に高めることに成功しました。今回開発した名刺サイズ(91 × 55 mm²)の CMOS アニーリングマシン(図 1)は、約 6 万パラメータの組合せ最適化問題の計算を従来型コンピュータの約 2 万倍高速で行うことが可能であり、エネルギー効率を約 17 万倍に向上しました^{*2}。本マシンは、組合せ最適化問題の計算をスマートフォン、カメラ、センサなどの IoT 機器でリアルタイムに行うエッジ処理^{*3} への適用可能性を見据えたものです。今後日立は、産学連携による協創やオープンイノベーションを通じて、CMOS アニーリングマシンの普及を図り、複雑な社会課題の解決や超スマート社会の実現に貢献していきます。

実社会が抱える交通渋滞や少子高齢化などの複雑な課題を解くためには膨大な計算を行う必要があります。その大部分が組合せ最適化問題の計算です。一方で、最適化するパラメータの数が増えるに従い、計算に要する時間や消費エネルギーが飛躍的に増大してしまうことが、従来のノイマン型コンピュータの課題となっています。これに対して、日立では、組合せ最適化問題を実用的な時間内^{*4} で、高いエネルギー効率で解くことができる新しい動作原理(非ノイマン型)のコンピュータ開発に取り組んできました。2015 年 2 月にはイジングモデル^{*5} の動作を、半導体の CMOS 回路で再現した CMOS アニーリングマシンの開発に成功^{*6}、2016 年 11 月には FPGA^{*7} と呼ばれる集積回路を用いた試作機により、計算規模を向上する技術を開発しています^{*8}。さらに、2018 年 6 月には、CMOS アニーリングチップ(FPGA)を 25 枚接続することにより世界最大規模の 102,400 パラメータの問題に対応できるようになりました^{*9}。また、2018 年 8 月よりパートナー向けにクラウドサービスの提供を開始しています^{*10}。

さらに、IoT 機器の普及に伴い、産業や生活の多くの場面で必要となるデータ処理を、その場でリアルタイムに行う、すなわちデータをエッジ処理できることが求められ、本分野において CMOS アニーリングマシンの活用が期待されています。しかしながら、CMOS アニーリングマシンを IoT 機器に実装してデータをエッジ処理する場合、従来のマシンでは、サイズが大きいことや複数のチップにまたがって最適化問題の計算を行う際に高速処理が困難となること、エネルギー効率を十分に高められないことという課題がありました。

そこで、日立は今回、CMOS アニーリングマシンのエッジ処理への適用をめざし、高集積かつ高速計算によりエネルギー効率を大幅に高めた名刺サイズの CMOS アニーリングマシンの開発に成功しました。開発した技術の特長は以下の通りです。

1. 高集積化を実現する回路技術

CMOS アニーリングマシンの最適化問題の計算では、パラメータを 4 つのグループに分け、それぞれのグループごとに順次計算を行います。そのため従来は、演算回路をパラメータのグループの数だけ用意していました。今回、パラメータの値を保持するメモリセルへのデータアクセスを高速化することで、演算順序に従って 1 つの演算回路を 4 つのパラメータグループの間で切り替えながら共有できる技術を開発しました。これにより演算回路の数を削減でき、メモリセルの集積度を従来の 1.5 倍^{*11}に高め、1 チップで 30,976 パラメータの高集積化に成功しました(図 2)。

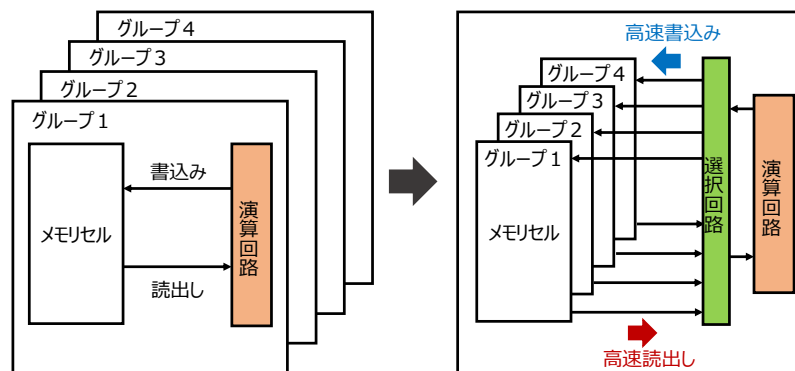


図 2 高集積化を実現する回路技術の概略

2. 高速計算を可能とするチップ間接続技術

最適化問題の計算では、個々のパラメータの値と、それに隣接するパラメータの値とを用いて計算を行います。大規模なパラメータに対応するため複数の半導体チップにまたがって計算する場合に、従来はパラメータの値を半導体チップ間で転送するための時間を要し、高速処理が困難となっていました。そこで今回、半導体チップの端部に、別チップのパラメータの値をコピーするための補助領域を設け、パラメータグループを計算する間に、次のパラメータグループのコピーを完了できるチップ間接続技術を開発しました(図 3)。

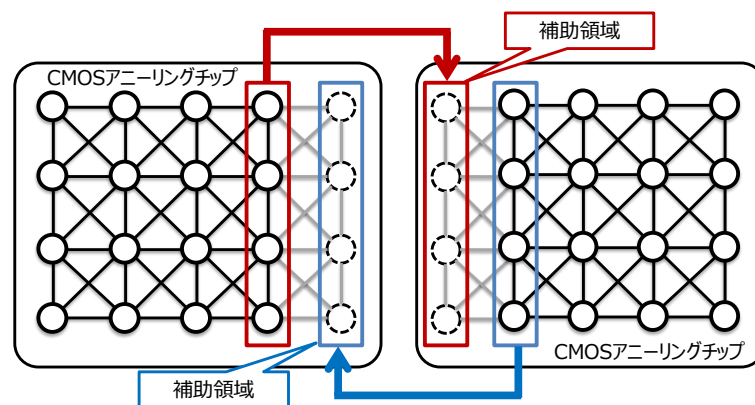


図3 チップ間接続の概略

開発した技術を搭載したチップを2枚接続し、名刺サイズ(91 × 55 mm²)で61,952パラメータの最適化問題の計算が可能な CMOS アニーリングマシンを開発しました。ランダムに生成したイジングモデルのアニーリング計算により性能を検証したところ、従来型コンピュータと比べて約2万倍の高速処理と約17万倍のエネルギー効率を実現しました。

今後、日立は、産学連携による協創やオープンイノベーションを通じて、CMOS アニーリングマシンの普及を図るとともに、エッジ処理を見据えたコア技術確立し、社会課題の解決に貢献します。

なお、本成果の一部は、2019年2月17日～21日に米国サンフランシスコで開催される「IEEE International Solid-State Circuits Conference(ISSCC)」にて発表いたします。

本成果の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務の結果得られたものです。

- *1 CMOS アニーリングマシン: 磁性体の性質を説明するために考案されたイジングモデルを用いて組合せ最適化問題を解くために日立が開発している新型コンピュータ。
- *2 汎用的な CPU(Intel Core i7-6700K, 4.00 GHz)を用いて、CMOS アニーリングマシンと同じ条件でアニーリング計算を行った時の比較結果。エネルギー効率を(パラメータの数/計算時間)/消費電力で定義。
- *3 エッジ処理: センサやデバイスなどの端末の近くでデータ処理をすること。
- *4 数十ミリ秒以内で数万パラメータを超える最適化問題の計算を処理する。
- *5 イジングモデル: 磁性体の性質を説明するために考案されたモデル。上向きか下向きの2つの状態をとる点(スピン)から構成され、隣接するスピン間の相互作用とスピンの状態からエネルギーが決まる。組合せ最適化問題をイジングモデルとして表現することが可能であり、その場合、エネルギーが最小になるスピンの状態が組合せ最適化問題の最適解と対応している。
- *6 約1兆の500乗通りの膨大なパターンから瞬時に実用に適した解を導く室温動作可能な新型半導体コンピュータを試作(2015年2月23日) <http://www.hitachi.co.jp/New/cnews/month/2015/02/0223b.html>
- *7 FPGA: Field Programmable Gate Array の略称。製造後に購入者や設計者が構成を設定できる集積回路。特定用途向けの集積回路と比較して、低コストで開発が可能。

- *8 新型半導体コンピュータ向けに計算規模を 10 倍に向上する技術を開発(2016 年 11 月 22 日)
<http://www.hitachi.co.jp/New/cnews/month/2016/11/1122a.html>
- *9 実社会の複雑な問題の高速処理を実現し、問題規模に応じてスケーラブルに構成可能な世界最大規模の CMOS アニールマシンを開発(2018 年 6 月 15 日) <http://www.hitachi.co.jp/New/cnews/month/2018/06/0615.html>
- *10 組合せ最適化問題に特化したクラウド型計算サービスの無償提供を開始(2018 年 9 月 19 日)
<http://www.hitachi.co.jp/New/cnews/month/2018/09/0919.html>
- *11 2015 年 2 月 23 日発表の新型半導体コンピュータ(CMOS アニールマシン)との比較。

■照会先

株式会社日立製作所 研究開発グループ

問い合わせフォーム: <https://www8.hitachi.co.jp/inquiry/hqrd/news/jp/form.jsp>

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
