

100ギガビットイーサネットに対応した光トランシーバ用のCMOS LSI技術を開発 伝送速度と伝送チャンネル数を変換するギアボックスLSIの消費電力を従来比4分の1に低減

株式会社日立製作所(執行役社長:中西 宏明/以下、日立)は、このたび、100ギガビットイーサネット*1(以下、100GbE)に対応したルータやネットワーク機器などの省電力化に向けて、電気信号と光信号を変換する光トランシーバ用のCMOS*2 LSI技術を開発し、国際標準規格*3に準拠した低消費電力のCMOSギアボックスLSIの試作に成功しました。100GbE用ギアボックス*4LSIは、ネットワークから受信した伝送速度25ギガビット/秒(以下、Gb/s)×4チャンネルの電気信号を、装置内で利用できる10Gb/s×10チャンネルの電気信号へ、またはその逆方向へ、伝送速度とチャンネル数を変換する機能を持つLSIです。これまで、高速性に優れたSiGe*5プロセスを用いたギアボックスLSIが開発されていましたが、CMOSプロセスの採用による低コスト、低消費電力のLSIの実現が望まれていました。今回、CMOSプロセスを用いて4相クロック回路方式*6を採用した100GbE用のギアボックスLSIを試作し、SiGeギアボックスLSIに比べ約1/4となる2Wの消費電力での動作を実現しました。

なお、本成果の一部は、独立行政法人情報通信研究機構の高度通信・放送研究開発委託「ユニバーサルリンク技術*7の研究開発」の一環として得られたものです。

ブロードバンド環境の急激な進展や放送通信融合時代の高精細映像コンテンツ利用の拡大などにより、ネットワークトラフィックは年々急速な増大を続けており、それを支える通信ネットワークには、さらなる高速化、大容量化が要求されています。現在のインターネット通信では、通信速度10Gb/sのイーサネットが普及していますが、さらなる高速化を図るため、2010年6月に、現行世代の10倍となる100Gb/sの高速通信が可能な次世代イーサネット、100GbEの国際標準規格化が完了しました。これに対応し、現在、世界中で100GbE関連技術の開発が進められていますが、100GbEの開発に際しては、通信速度の高速化とともに比例して増大する消費電力の低減が大きな課題となっていました。

このような背景のもと、このたび、日立は、ルータやネットワーク装置に使われる光トランシーバ向けに、100GbEに準拠した低消費電力のCMOSギアボックスLSIの試作に成功しました。

今回、LSIのデータ処理速度を維持しつつ、回路の動作速度を1/4に低減した「4相クロック回路方式」を新たに開発し、これをCMOSギアボックスLSIの25Gb/sインタフェース回路に応用しました。また、10Gb/sインタフェース回路部には、2010年に日立が開発した1Gb/sあたりの消費電力が0.98mWの省電力性能をもつCMOSインタフェース(SerDes)*8回路を用い、CMOSギアボックスLSIを試作しました。

検証実験の結果、今回試作した CMOS ギアボックス LSI は、従来の SiGe ギアボックス LSI の約 1/4 となる消費電力 2W で動作することを確認しました。

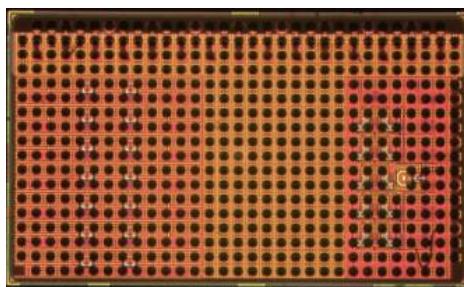
今回試作した CMOS ギアボックス LSI は、100GbE アプリケーション向けだけでなく、サーバやルータなどの情報処理装置内の LSI 間の信号伝送への適用も見込むことができ、情報処理装置の省電力化に広く寄与する技術です。

なお、本技術の詳細は、2011 年 2 月 20 日(日)から米国のサンフランシスコで開催されている国際固体素子回路会議(ISSCC 2011:International Solid-State Circuits Conference)にて発表します。

■開発した回路技術の詳細

低電力化を実現する「4 相クロック回路方式」

25G/s インタフェース回路の受信回路では、位相を 90 度ずつずらした 4 本のクロック(4 相クロック)を用いて、受信データの値と位相を判定する回路方式を採用しました。これにより、LSI のデータ処理速度を維持しつつ、ビットレートの 1/4 となる 6.25GHz のクォーターレートで動作させ、低電力化を進めました。また、従来の受信回路では、25G/s インタフェース回路内の全 4 チャンネルに対し、共通の PLL^{*9}から 12.5GHz の高速クロックを分配し、さらに、位相制御回路等を用いて、受信動作クロックを生成していました。そのため、クロック生成に大きな電力が必要となるという課題がありました。そこで、今回開発した受信回路では、各チャンネル内に PLL を配置することで、電力消費の大きい位相制御回路等を用いることなく、4 相クロックを生成することに成功しました。また、本構成により各チャンネルへ分配するクロック周波数を低速な 625MHz に抑制し、さらなる低電力化を実現しました。



試作した低消費電力 CMOS ギアボックス LSI(縦:3.7mm、横:6.3mm)

■用語

- *1 100ギガビットイーサネット(100GbE): 光ファイバを利用して、100Gb/s の伝送速度を実現する国際標準のイーサネット伝送方式。25Gb/s の光信号を 4 多重して 1 本の光ファイバで伝送する方式。
- *2 CMOS: Complementary Metal-Oxide Semiconductor の略で、相補型金属酸化膜半導体。
- *3 国際標準規格: IEEE(Institute of Electrical and Electronics Engineers)802.3ba において、2010 年 6 月に国際標準策定が完了した。
- *4 ギアボックス LSI: 100ギガビットのデータ信号を 10:4 または 4:10 に、伝送速度とチャンネル数を変換する LSI。
- *5 SiGe: Silicon-Germanium の略で、シリコンに対し少量のゲルマニウムが添加された半導体素材。
- *6 4相クロック方式: 基準のクロックに対し、位相が 90 度ずつ異なったクロック、すなわち時間が 1/4 ずつずれたクロックを 4 本使用する方式。
- *7 ユニバーサルリンク技術: 複数の 100ギガビット級信号を、1,000km レベルの範囲内の LAN(Local Area Network)内/LAN 間で自由に転送可能にする電気信号基盤技術。2008 年から 2011 年までの 4 年間のプロジェクトで開発中。
- *8 SerDes: SERializer/DESerializer の略で、多ビットのデジタル信号を並列直列変換し、1 本のデジタル信号で送る伝送回路方式。ギガビットを超える伝送速度の電気伝送、光伝送に広く用いられる。
- *9 PLL: Phase Locked Loop の略で、入力の基準クロックの周波数と位相を出力クロックと一致させる回路。PLL 回路ループ内に分周回路を挿入することにより、入力クロックの周波数を n 倍した周波数で同期発振する出力クロックを得ることができる。

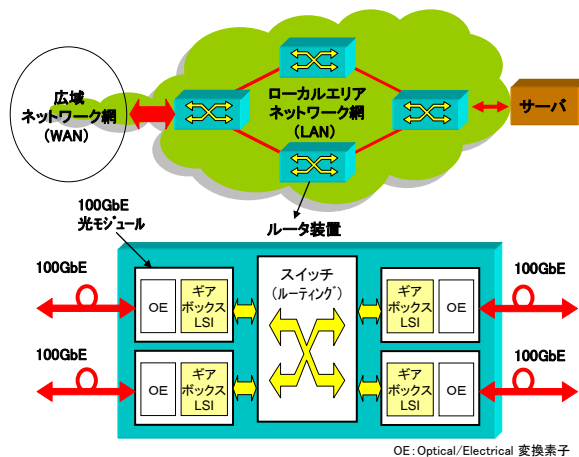


図1 100GbE LAN とギアボックス LSI

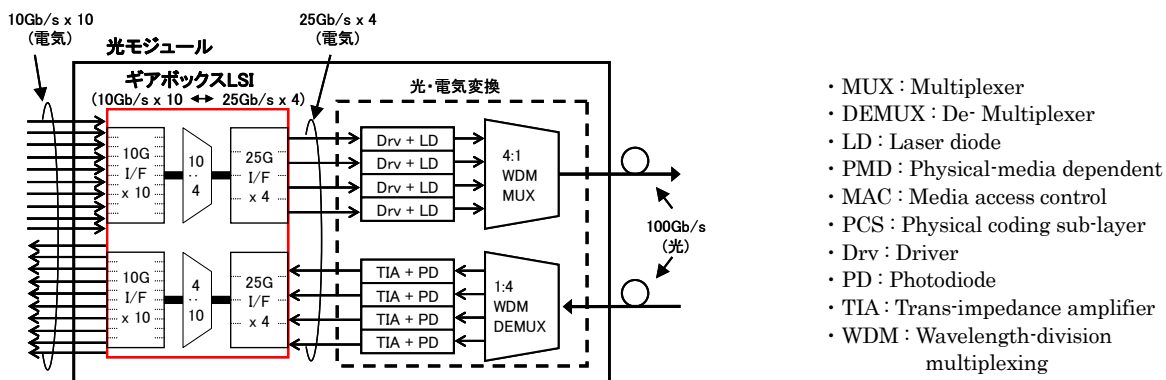


図2 100GbE 光モジュール

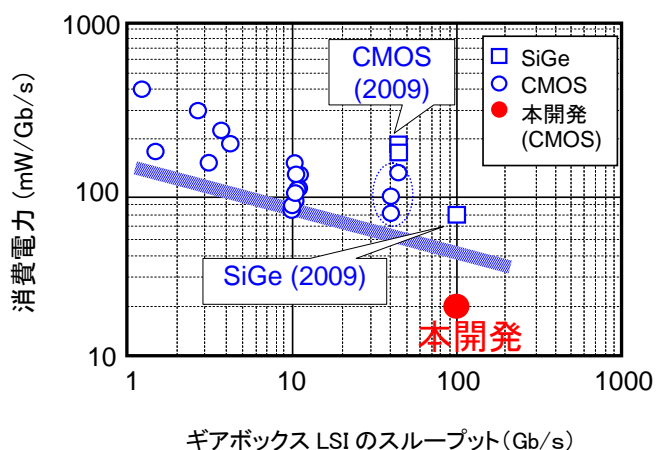


図3 本成果の技術水準

■照会先

株式会社日立製作所 中央研究所 企画室 [担当:木下]
〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地
電話 042-327-7777(直通)

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
