

100 ギガビットイーサネット向け超低消費電力トランシーバ回路を開発

1 ギガビット/秒あたり1mW 以下の消費電力を実現

株式会社日立製作所(執行役会長兼執行役社長:川村 隆/以下、日立)は、このたび、100 ギガビットイーサネット^{(*)1}(以下、100GbE)の大幅な低電力化にむけて、世界で初めて、1 ギガビット/秒あたり 1mW 以下の消費電力を実現するトランシーバ回路(SerDes^{(*)2}:Serializer/Deserializer)の開発に成功しました。本回路では、定常電流を大幅に削減するとともに、従来のトランシーバ回路に搭載されていた 2 系統のクロックを 1 系統に削減することで、伝送速度 12.5 ギガビット/秒の双方向通信を、1 ギガビット/秒あたりの消費電力が 0.98mW となる 12.3mW にて実現します。さらに、本回路を搭載したトランシーバ試作回路は、乾電池や太陽電池を電源に用いた場合においても、安定的に連続動作することを確認しました。

現在、IEEE^{(*)3}802.3ba において、100GbE の国際標準化が進められていますが、本成果は、100GbE の省電力化に寄与する基盤技術といえます。

なお、本成果の一部は、総務省が進める「フットニックネットワーク技術に関する研究開発」の一環として、独立行政法人情報通信研究機構(理事長:宮原 秀夫/以下、NICT)から受託している委託研究「ユニバーサルリンク技術^{(*)4}の研究開発」によって得られたものです。

■背景

インターネット普及による加入者の増大や放送通信融合時代に向けた高精細画質(HD:High Definition)の映像配信・利用サービスの拡大など、ネットワークトラフィックは年々急速な増大を続けており、それを支える通信ネットワークには、さらなる高速化、大容量化が求められています。現在のインターネット通信では、通信速度 10 ギガビット/秒(以下、Gb/s)のイーサネットが普及していますが、さらなる高速化を図るため、2010年6月に向けて、現行の10倍となる100Gb/sの高速通信が可能な次世代イーサネットの国際標準規格化が進められており、各国が100GbE関連技術の開発に取り組んでいます。特に、高速化とともに増大する伝送装置の消費電力の抑制が課題となっていることから、トランシーバでは、1Gb/sあたり1mW以下の達成をマイルストーンとする低消費電力回路の世界的な開発競争が進められています。

■成果

このたび、日立は、総務省およびNICTの支援を受けて、100GbE向けに、伝送速度12.5Gb/sの低電力トランシーバ回路を考案しました。今回、定常電流を削減する回路技術(電圧電流モード併用出力回路)と、従来のトランシーバ回路では2系統を必要としたクロックを1系統に削減する回路技術(単相クロック位相比較回路)を開発し、十分な性能を確保しつつ大幅な省電力化を実現しました。また、65ナノメートルのCMOS^{(*)5}半導体技術を用いて試作したトランシーバ回路の動作検証を行ったところ、伝送速度12.5Gb/sで、100GbE仕様となるビット誤り率^{(*)6} 10^{-12} の双方向通信を、消費電力12.3mWで行うことができることを確認しました。1Gb/sあたりの消費電力は0.98mWとなり、トランシーバ回路において、伝送速度あたりの消費電力が1mWを下回る性能を確認したのは、今回が世界で初めてです。さらに、今回試作したトランシーバ回路は、乾電池や太陽電池を電源とした場合においても、安定的に連続動作することを確認しました。

■今後の展望

今回試作したトランシーバ回路は、100GbE のほか、サーバやルータなどの情報処理装置内の LSI 間の信号伝送への適用も見込むことができます。さらに、低消費電力が必須となる携帯機器向けのシステム LSI への適用も可能であり、IT 機器の省電力化に広く寄与する回路技術として期待できます。

なお、本技術の詳細は、2010 年 2 月 7 日(日)から米国のサンフランシスコで開催されている国際固体素子回路会議(ISSCC 2010:International Solid State Circuits Conference)にて、2 月 10 日(水)(現地時間)に発表します。

■用語解説

- *1 100 ギガビットイーサネット(100GbE): 光ファイバを利用して、100Gb/s の伝送速度を実現する国際標準のイーサネット伝送方式。2010 年 6 月に予定されている国際標準策定に向けて、25Gb/s の光信号を 4 多重して 1 本の光ファイバで伝送する方式、10Gb/s の電気信号を 10 本並列に伝送する方式など、複数方式の標準化が進められている。電気信号の送受信を行うトランシーバ回路には、10Gb/s での伝送を補償するために、これを上回る伝送性能が必要とされる。
- *2 SerDes: SERializer/DESerializer の略で、多ビットのデジタル信号を並列直列変換し、1 本のデジタル信号で送る伝送回路方式。ギガビットを超える伝送速度の電気伝送、光伝送に広く用いられる。
- *3 IEEE: Institute of Electrical and Electronics Engineers の略で、米国に本部を有する電気・電子分野における世界最大の学会。
- *4 ユニバーサルリンク技術: 複数の 100 ギガビット級信号を、1,000km レベルの範囲内の LAN(Local Area Network)内/LAN 間で自由に転送可能にする電気信号基盤技術。2008 年から 2011 年までの 4 年間のプロジェクトで開発中。
- *5 CMOS: Complementary Metal-Oxide Semiconductor の略で、相補型金属酸化膜半導体。
- *6 ビット誤り率: 通信回線などでデータ伝送の信頼性を示す指標の 1 つで、誤ったデータに変わる確率。

■開発技術の詳細

1. 定常電流を大幅に削減する電圧電流モード併用出力回路

今回開発した電圧電流モード併用出力回路は、出力信号レベルを維持する際には電圧モードで、遷移させる場合には電流モードで動作します。出力データが変化しない時には、出力信号レベルに合わせた電圧を出力し、信号レベルを維持します。一方、出力データの遷移時には、パルス状の電流を出力し、出力信号レベルを高速に遷移させます。これにより、出力信号レベルの維持・遷移に関わらず、定常電流を流す従来の電流モード出力回路と比べて、消費電力を大幅に削減しました。

2. クロック 1 系統で高性能動作を実現する単相クロック位相比較回路

受信器では、位相比較回路で受信データ信号と内部クロック信号との位相を比較した結果をもとに、正しいデータ信号及びクロック信号を再生します。今回開発した単相クロック位相比較回路は、特性の異なる 2 つのデータ取り込み回路を同一のクロック信号で動作させ、取り込んだ 2 つのデータを比較することで、受信データ信号の位相を検出します。位相の異なる 2 系統の内部クロック信号で受信データを取り込み、比較する従来方式の位相比較器と比べて、最も高速動作を必要とし、電力消費の多いクロック信号系統の数を減らすことが可能となり、消費電力を大幅に削減します。

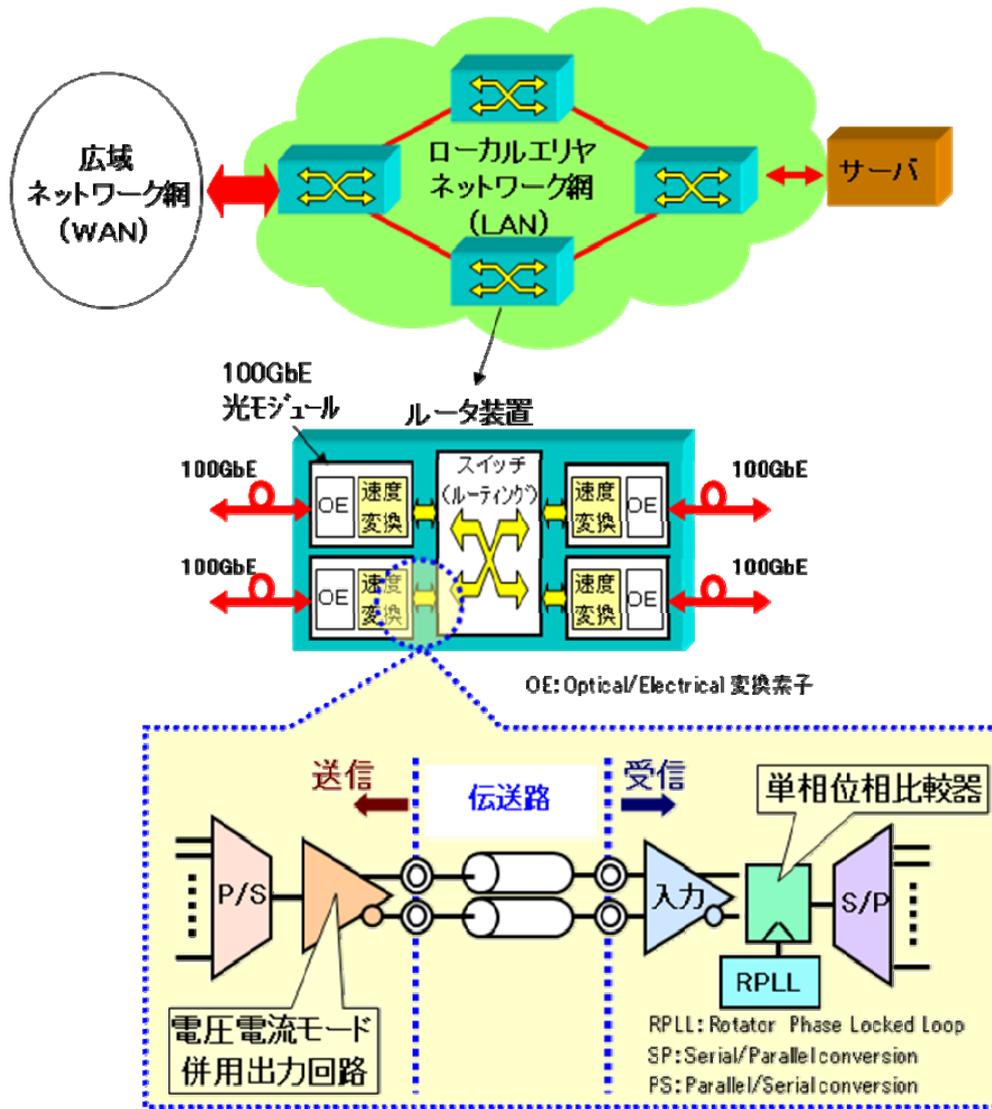


図1 トランシーバ回路の構成図

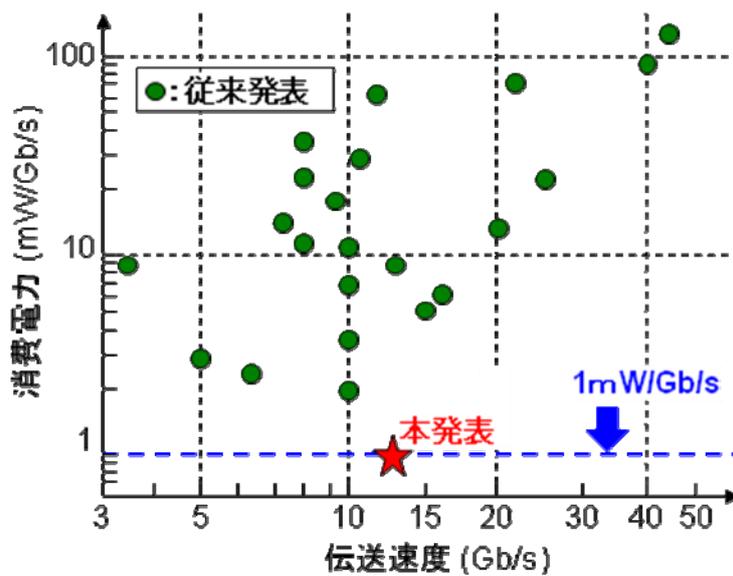


図2 本成果の技術水準

■照会先

株式会社日立製作所 中央研究所 企画室 [担当:木下、工藤]

〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地

電話 042-327-7777(直通)

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
