

2010年2月8日

株式会社ルネサス テクノロジ
株式会社日立製作所
学校法人早稲田大学
国立大学法人東京工業大学

業界最高レベルの電力性能比 37GOPS/W を実現した 次世代情報家電向けヘテロジニアスマルチコア LSI を開発

株式会社ルネサス テクノロジ(取締役会長：塚本 克博／以下、ルネサステクノロジ)と株式会社日立製作所(執行役会長兼執行役社長：川村 隆／以下、日立)、学校法人早稲田大学(総長：白井 克彦／以下、早稲田大学)、国立大学法人東京工業大学(学長：伊賀 健一／以下、東京工業大学)は、このたび、複数の中央演算処理装置(CPU)コアと特定用途向けプロセッサを搭載したヘテロジニアスマルチコア型システム LSI(以下、ヘテロジニアスマルチコア LSI)を開発し、業界最高レベルとなる電力性能比 37GOPS(Giga Operations Per Second)/W の高性能かつ低消費電力処理を実現しました。

なお、本開発は、独立行政法人新エネルギー・産業技術総合開発機構(NEDO)が、2006年度から実施中である、半導体アプリケーションチッププロジェクトの中の「情報家電用ヘテロジニアス・マルチコア技術の研究開発」(プロジェクトリーダー：日立研究開発本部 技師長：内山 邦男)により、実施したものです。

今回開発したヘテロジニアスマルチコア LSI では、コアとして、汎用の 32 ビット RISC^{(*)1} マイコン「SuperHTM(*)2」の CPU コアである「SH-4A」を 8 個、動的再構成可能プロセッサのコア「Flexible Engine(以下 FE)」を 4 個、マトリックス型超並列プロセッサの「MX-2」コアを 2 個搭載しており、各コアの異なる特性に応じて処理を割り振ることで、高効率処理を実現可能です。例えば顔画像を検出する映像処理に適用した場合、顔の検出を「MX-2」に、その動きの検出を「FE」に、顔データのデータベース検索を「SH-4A」に割り当てることで、高性能な処理を高速に実現できます。加えて低消費電力化も図れるため、情報家電や IT 機器の省エネルギー化にも貢献します。

また、複数種別のプロセッサコアへ処理を自動で割り当てる、プログラム自動並列化技術、これらを効率よくデバッグするソフトウェア統合開発環境技術を開発しており、ヘテロジニアスマルチコア LSI 用ソフトウェア開発期間の短縮が図れます。

■本技術開発の背景

近年、カーナビゲーション機器やデジタル TV、DVD レコーダー、家庭用ゲーム機、携帯電話などの情報家電においては、ブロードバンド・ネットワークへの接続をはじめ、音声・画像など多様なマルチメディア処理機能の搭載が望まれ、さらには一般家庭への普及に伴う低消費電力化、高性能化、安全性の向上などの要求が急速に高まっています。そして高性能化・低消費電力化に対応する新技術として、マルチコア技術に加え、1 チップ上に特徴の異なる複数の種類のプロセッサコアを集積するヘテロジニアスマルチコア技術が注目されています。実行する処理の特徴を考慮に入れ、これらのプロセッサに対して処理を割り当てることで、高い性能を低消費電力で実現することが可能となり、今後の地球環境保全の観点からも重要な技術であると言えます。

こうしたニーズに対応し、今回、37GOPS/W の高性能かつ低消費電力を実現したヘテロジニアスマルチコア LSI を開発しました。単一種類のプロセッサコアを集積するホモジニアスマルチコアに対し、2 倍以上の電力性能比を実現できます。

■開発した LSI の特長

1. 様々な用途に応用可能なヘテロジニアス構成

試作チップは、1 チップに、最新の「SH-4A」コアを 8 個、特定用途向けプロセッサである「FE」を 4 個、「MX-2」を 2 個、ビデオデコード用コンポーネントである VPU (Video Processing Unit) を 1 個、音声デコード用コンポーネントである SPU (Sound Processing Unit) を 1 個集積しており、カーナビゲーション機器やデジタル TV、DVD レコーダーなど様々な用途に応用可能です。クロック周波数は、最大 648MHz (メガヘルツ) で動作し、処理性能は、最大 114.7 GOPS を実現します。消費電力は 648MHz 動作時に約 3.07W で、単位電力あたりの性能は 37GOPS/W 以上を実現しています。

また、早稲田大学笠原博徳・木村啓二研究室が開発したヘテロジニアスマルチコア用自動並列化コンパイラは、汎用用途 CPU コアと特定用途プロセッサコアへの自動的な処理の割り当て、自動消費電力低減制御を可能としました。具体的には、同コンパイラを用いると、早稲田大学内に設置したヘテロジニアスマルチコアアーキテクチャ・API 検討委員会にて IT・半導体企業 6 社ともに開発した OSCAR API ヘテロジニアスマルチコア拡張を用いて、逐次プログラムからヘテロジニアスマルチコア用の並列プログラムの自動生成、各コア毎の周波数・電圧制御・クロックゲーティングによる消費電力低減制御を行なうことができます。このようなヘテロジニアスマルチコア用プログラムの自動並列化、電力制御の実現は世界初であり、手作業では長期間を要していたソフトウェア開発期間を大幅に短縮できます。

更に、東京工業大学前島研究室が開発したヘテロジニアスマルチコアに向けたソフトウェア統合開発環境は、各種アプリケーション・プログラム開発におけるデバッグに効果を発揮することが期待されます。

2. データ処理能力の強化

従来の「SH-4A」の命令は全て 16 ビット幅命令であり非常にシンプルかつ高効率である反面、命令種別の制約によりコンパイラによる動作最適化が十分に行なうことができない場合があります。本 LSI に搭載されている「SH-4A」においては約 130 個の 32 ビット幅の新規命令が追加されています。これらの命令は、従来の「SH-4A」における制約を補完することが可能です。命令コードの割り当てを最適に行なうことで、「SH-4A」の面積増加を 2%以下に抑えながら、10%~34%の性能向上を実現しました。具体的には、例えば Dhrystone2.1 にて 16%の性能向上を得ています。

3. データ転送能力の強化

本 LSI には 20 を越えるプロセッサ、コンポーネントが搭載されています。一方でシステムの規模増大に伴ない、単一アプリケーションで使用する領域は 1GB (ギガバイト) を超えつつあります。このため、複数のアプリケーションが同時動作するマルチコアシステムにおいては、これら多数のプロセッサ、コンポーネントで用いるデータを格納するための領域が不足するようになってきました。この状況を解決するため、物理アドレス空間を 32 ビットから 40 ビットに拡張しました。32 ビットの物理アドレス空間では 4GB までの空間を扱えるのに対し、40 ビットの物理アドレス空間の場合は、その 256 倍である 1TB (テラバイト) までの空間を扱うことが可能です。このアドレス空間の拡張に対応し、「SH-4A」の拡張と、特定用途プロセッサ間でのデータ通信を行なうためのデータ転送ユニットの拡張を行ないました。このデータ転送ユニットを用いることで、「SH-4A」の CPU 性能を消費することなく、「SH-4A」と特定用途プロセッサ間でのデータ通信を行なうこ

とが可能です。

なお、本技術は2010年2月7日から米国サンフランシスコで開催される「国際固体素子回路会議 (ISSCC: International Solid-State Circuits Conference)」にて、2月8日(現地時間)に発表します。

■注釈

- *1: RISC (Reduced Instruction Set Computer): 命令セットを簡略化することで、ハードウェアを簡素化し、高速化を図ることを目的にしたコンピュータ。
- *2: SuperHは、株式会社ルネサス テクノロジーの商標です。

■照会先

株式会社ルネサス テクノロジー CSR 統括部 広報・宣伝部[担当: 依田]
〒100-0004 東京都千代田区大手町二丁目6番2号(日本ビル)
TEL 03-6756-5554 (ダイヤルイン)

株式会社日立製作所 中央研究所 企画室[担当: 木下、工藤]
〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地
TEL 042-327-7777(ダイヤルイン)

学校法人早稲田大学 理工学術院 基幹理工学部 情報理工学科 [担当: 笠原]
〒169-8555 東京都新宿区大久保三丁目4番1号
TEL 03-5286-3371(ダイヤルイン)

国立大学法人 東京工業大学 大学院総合理工学研究科 [担当: 前島]
〒226-8502 神奈川県横浜市緑区長津田町4259-G2-28
TEL 045-924-5460 (ダイヤルイン)

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
