

2009年2月12日
慶應義塾大学
株式会社日立製作所
株式会社ルネサス テクノロジ

CPUとSRAMチップを誘導結合で3次元実装し、システムレベルの動作検証に成功 従来の2次元実装に比べ、チップ間データ通信の消費電力を30分の1、面積を3分の1に低減

慶應義塾大学(塾長:安西祐一郎/以下、慶應義塾)と株式会社日立製作所(執行役社長:古川一夫/以下、日立)、株式会社ルネサス テクノロジ(会長&CEO:伊藤達/以下、ルネサス)は共同で、8個の中央演算処理装置(CPUコア)で構成されたマルチコア型LSI(以下、マルチコアLSI)のチップにSRAMチップを積層し、チップの配線で作ったコイルの電磁誘導によってチップ間を無線通信*1で接続して、システムレベルの動作検証に成功しました。電磁誘導によるチップ間の結合(以下、誘導結合)は、既存のCMOS*2論理回路の製造プロセスで作製できることや、3層以上の積層にも適用できることから、低コストに有利な次世代の3次元実装技術として注目されています。今回、システムレベルでの動作検証を行い、ボード上にチップを並べた場合と同等の性能を、30分の1の省電力と3分の1の省スペースの送受信回路によって得られることを確認し、誘導結合による3次元実装の有用性と実用性を実証しました。

近年、デジタル家電機器の普及に伴い、機器の高性能化と小型化を両立する手段として、複数のLSIチップを3次元に積層するシステム・イン・パッケージ(system-in-a-package/以下、SiP)技術が利用されています。現在、3次元SiP製品の多くは、ワイヤ・ボンディングを用いてチップ間を電氣的に接続していますが、この配線はパッケージの基板を経由してチップ同士を間接的に接続していることから、配線長が数ミリメートルと長く、通信性能の劣化や消費電力増大の要因となっています。また、LSIの高性能化が進展する一方で、チップ間インタフェースの性能不足は深刻な課題となっています。これを解決する次世代の3次元実装技術として、現在、積層したチップ間で直接信号の送受信を行なう技術の開発が進められています*3。このうち、誘導結合は、既存のCMOSプロセスで製造できることや3層以上のチップ間で通信できることから、低コストに有利な技術として注目されています。

そこで、このたび、慶應義塾の黒田忠広教授らと、日立およびルネサスは共同で、誘導結合の実用性の評価を目的に、マルチコアLSIにSRAMチップを積層し、誘導結合による2チップ間の無線通信を試みました。今回、電源電圧の変動や製造ばらつき、さらには動作温度の違いなどによって2つのチップ間に生じる信号タイミングのばらつきを調整し、チップ間で正しく信号の送受信を行うためのタイミング調整回路技術と、通信の省電力化を実現する狭パルス通信方式を新たに開発しました。

これらの開発技術を用い、90nm(ナノメートル)のCMOSプロセスでマルチコアLSIを、65nmの

CMOSプロセスでSRAMチップをそれぞれ試作し、マルチコアLSIにSRAMチップを積層させ、誘導結合では世界で初めてとなる、システムレベルの動作検証に成功しました。

今回、誘導結合通信のために追加した回路のレイアウト面積は 2.88mm^2 で、検証の結果、通信回路の周波数が 600MHz 、2チップ間のデータ通信における消費電力が 19.2 ミリワットとなることを確認しました。従って、1ビットの伝送に必要な電力が1ピコジュール(ピコは1兆分の一)、1ギガビット/秒の伝送に必要な回路面積は 0.15mm^2 となりました。これは、現在広く利用されているDDR2(Double-Data-Rate2)と呼ばれる通信方式を用いてボード上に並べたチップ間を通信させた場合に比べ、送受信回路部の消費電力を30分の1に、面積を3分の1に削減可能であることを示すもので、誘導結合による3次元実装の有用性を実証する成果といえます。

なお、本成果は、2月8日から米国サンフランシスコで開催されている「国際固体素子回路会議 (ISSCC: 2009 IEEE International Solid-State Circuits Conference)」にて発表しています。

■ 開発した技術の詳細

(1)さまざまなばらつきにも対応可能な2段階タイミング調整回路技術

複数チップ間でデータ伝送を行い、システム動作を行うためには、信号を受信した後に増幅する活性化信号のタイミングを最適にする必要があります。そこで、信号チャネル全体のタイミングをおおよそ合わせ、その後、各チャネルのタイミングを詳細に最適化する2段階タイミング調整技術を開発しました。これは、組み立て実装後にCPUを使って、調整することが可能です。

(2)省電力を実現する狭パルス通信方式

誘導結合では電流を流している時間だけ、信号を伝えることが可能ですが、電流を流す時間を長くすると消費電力が増大するという課題がありました。これを解決するために、データ送信時間を短くするためデータ送信時にパルスを用い、さらにそのパルス幅を180ピコ秒まで狭くすることにより、消費電力を大幅に低減し1ピコジュール/ビットでの通信を実現しました。本技術は前述の2段階タイミング調整回路技術によって、利用することが可能になったものです。

■ 注釈

- *1 送信側のチップ上に形成したコイルに電流を流し、磁束を変化させることにより、受信側のチップに形成したコイルに電流を流し通信をする方式。
- *2 CMOS: Complementary Metal Oxide Semiconductor の略。シリコンをベースとした半導体素子構造の一種。半導体中では、キャリアと呼ばれる荷電粒子が動くことによって電流が流れ、そのキャリアには、負の電荷をもつ「電子」と正の電荷をもつ「正孔」の2種類が担いますが、CMOSは、電荷の運搬を自由電子によって行うnMOS(negative MOS)と、正孔によって行うpMOS(positive MOS)を組み合わせたものです。
- *3 次世代3次元実装技術: 微細なバンプによって接続するマイクロバンプ、シリコンを貫通させたビアによって通信する貫通ビア、コンデンサを使って通信する容量結合、コイルを用いて通信する誘導結合などの方式が提案されています。マイクロバンプ方式や容量結合方式は、2チップ間でのみの通信が可能であり、また、貫通ビアや容量結合では特殊なプロセスが必要となります。

■照会先

慶應義塾 広報室 [担当:中島]

〒108-8345 東京都港区三田 2-15-45

電話:03-5427-1541(直通)

株式会社日立製作所 中央研究所 企画室 [担当:木下、工藤]

〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地

電話 042-327-7777(直通)

株式会社ルネサス テクノロジ CSR統括部 広報・宣伝部 [担当:佐藤]

〒100-0004 東京都千代田区大手町二丁目6番2号(日本ビル)

電話 03-6756-5554(直通)

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
