

IT 機器内の基板間を省電力かつ通信速度 8Gb/s での高速伝送が可能な 送受信回路技術を開発

160cm 離れた基板間でも高速伝送が可能で、かつ IT 機器の 5%以上の省電力化が可能に

株式会社日立製作所(執行役社長:古川 一夫/以下、日立)は、このたび、サーバやストレージ、通信機器などに搭載されている基板と基板の間を、高速かつ省電力でデータ伝送できる、新しい送受信回路技術を開発しました。送受信回路は、プリント基板上の配線を利用して LSI 間でデータ伝送を行う「バックプレーン伝送」に用いられる回路で、伝送の際に受ける電氣的損失によって波形が歪み、振幅が減少したアナログ信号から、LSI 上で処理可能なデジタル信号を復元するための「信号再生回路」が搭載されています。今回、この信号再生回路に新しい信号復元方式を採用することによって、波形が歪み、振幅が減少するなど信号の損失量がマイナス 35 デシベル(dB)を超えるような長距離かつ高速での伝送を行う場合でも、送信信号の電圧を高くしたり増幅器を使うことなく、伝送およびデジタル信号の復元ができるようになることから、LSI 間のデータ伝送を低電力かつ高速に行うことが可能になります。今回、新しい信号復元方式の効果を確認するため、90nm CMOS^(*)プロセスで試作した送受信回路の評価実験を行なったところ、通信速度 8 ギガビット/秒(Gb/s)で通信距離 160cm(損失量:マイナス 36.8 デシベル)のデータ伝送が可能で、あわせて、送受信回路の消費電力が本方式を使用しない場合と比べて、約 100mW 削減できることを確認しました。

本技術を用いることによって、機器内に送受信回路が数百個規模で搭載される大型 IT 機器の性能向上と 5%以上の低電力化が見込めることから、地球温暖化防止に寄与することが期待されます。

*1 Complementary Metal Oxide Semiconductor:シリコンをベースとした半導体素子構造の一種で、電荷の運搬を自由電子によって行う nMOS(negative MOS)と正孔によって行う pMOS(positive MOS)を組み合わせたもの。

情報通信ネットワークの普及に伴い、ネットワークを通じてやり取りされるデータ量が飛躍的に増加していることから、サーバやストレージ、通信機器などの IT 機器で扱われる一台当たりのデータ量も増加の一途をたどっています。また、これに伴う IT 機器の消費電力量の増加が、社会的な問題になりつつあり、経済産業省が、情報処理に必要な電力が 2050 年には現状の 12 倍まで増加すると予測し、その対策に乗り出すなど、IT 機器の省電力化は、地球温暖化防止の観点からも重要な課題となっています。また、あわせて、増加し続ける処理量に対応するため、IT 機器の性能向上も不可欠なことから、性能を向上させつつ消費電力を低減できる技術の開発が求められていました。

一般に IT 機器では、プリント基板に複数個の LSI を搭載し、基板上の配線を用いて LSI 間でデータ伝送を行います。LSI は、送受信回路を用いてシリアル伝送されてきたアナログ信号をデジタル信号に復元し、情報処理を行います。大型の IT 装置ではバックプレーンと呼ばれる大型基板が用いられますが、その配線の長さは 100cm 以上になります。このため、配線での伝送の際に受ける電氣的損失が大きくなり、アナログ信号の波形が歪み、振幅が減少するなど、従来の送受信回路では、高速伝送されてきた信号の復元が困難になるという課題がありました。この信号の電氣的損失を減らすには、送信の際の信号電圧を高くすることや、伝送の途中で増幅器を用いることが有効ですが、消費電力が大きくなるという問題があります。

そこで、このたび日立は、バックプレーン伝送に使われる送受信回路向けに、高速通信とリアルタイム

処理を可能とする高性能化と、低消費電力化を同時に実現できる新方式の信号再生回路技術を開発しました。

今回新たに開発した信号再生回路技術の詳細は、以下の通りです。

(1)損失量の大きな信号波形でも、デジタル信号への復元が可能な信号処理技術

デジタル信号をアナログ信号から正確に復元する方法として、これまで、アナログ信号の波形の中心位置で信号を読み出す方法が採用されていましたが、信号の損失量が大きくなると、信号波形の形状が劣化するため、中心位置を特定することが困難となります。今回、形状が変形した波形でも、信号を読み出す位置を正確に特定することが可能な信号処理技術を開発しました。この信号処理技術では、波形の垂直方向の変形に対しては二つのしきい値を用いることで、水平(時間)方向の変形に対しては 3 倍オーバーサンプリングと呼ばれる、信号に含まれている遅延時間の変動を検出する方法を用いて、読み出し位置を特定します。

(2)高速信号への対応を可能とする高速ラッチ回路技術

1、0 のデジタル値で構成されるデジタル信号の確定は、電圧判定回路(ラッチ)が信号のデジタル値を確定することで実行されますが、高速信号に対応するには、確定までの時間(セットアップ・ホールド時間)を短縮する必要があります。今回、波形の高周波帯域成分をリアルタイムで増幅することで、ラッチ回路の消費電力を削減しつつ、このセットアップ・ホールド時間を従来比 3 分の 1 に短縮できる回路技術を開発しました。これにより、その電力を 1mW に抑えることができ、送受信回路の省電力化を実現しました。

今回、新しい信号復元方式の効果を確認するため、90nm CMOS プロセスで試作した送受信回路の評価実験を行ったところ、8Gb/s の信号で 160cm(損失量: マイナス 36.8 デシベル)のデータ伝送が可能であるとともに、信号再生回路の消費電力を従来比 3 分の 2 に、送受信回路としては消費電力を 100mW 削減できることを確認しました。今回開発した送受信回路では、伝送距離が 100cm 以上で損失がマイナス 35 デシベルを超える場合でも、伝送経路の途中に増幅器などを用いることなくバックプレーン伝送が行えることから、本技術を用いることによって、機器内に送受信回路が数百個規模で搭載される大型 IT 機器の性能向上と 5%以上の低電力化を行うことができます。

今後は、本回路を搭載した LSI チップの開発に向け、技術の完成度を高めることで、IT 装置の高性能化・低消費電力化に幅広く活用できる伝送技術の確立をめざします。

なお、本成果は、2 月 3 日から米国サンフランシスコで開催されている「国際固体素子回路会議 (ISSCC: International Solid-State Circuits Conference)」において、発表しました。

照会先

株式会社日立製作所 中央研究所 企画室 [担当:木下]
〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地
電話:042-327-7777 (直通)

以 上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
