

システム LSI のオンチップメモリ用 SRAM の消費電力を約 40%低減する回路技術を開発 NMOS と PMOS の基板電位を個別に制御する方式を適用

株式会社日立製作所(執行役社長:古川 一夫/以下、日立)と株式会社ルネサス テクノロジ(会長&CEO:伊藤 達/以下、ルネサス テクノロジ)は、このたび共同で、システム LSI のオンチップメモリ用 SRAM(Static Random Access Memory)の動作電圧の低減を可能とする基板バイアス制御回路技術を開発しました。今回開発した回路技術は、SRAM の基板端子の電位を NMOS および PMOS で個別に制御して動作電圧の低減を実現する方式で、65ナノメートル(以下、nm)プロセスで試作した 1 メガビットの SRAM モジュールに適用したところ、本技術を使用しない場合と比較して、動作電圧を 300mV 低減することが可能となり、その結果、消費電力を約 40%低減できることを確認しました。

本技術は、今後、トランジスタの微細化によって性能のばらつきが増加し、動作電圧の低減が一層困難になると予想される SRAM 回路において、消費電力の低減を可能とする技術として期待できます。

IT 関連製品の普及に伴い、近年、サーバや PC、携帯電話など様々な情報機器の心臓部に用いられるシステム LSI の高性能化や省電力化への対応が、今まで以上に求められています。これまで、トランジスタの微細化を進めることによって、性能の向上を実現してきましたが、微細化が数十 nm レベルまで進むと、トランジスタが動作する「しきい値電圧^(*)」が大きくばらつくようになり、システム LSI のオンチップメモリとして利用される SRAM を安定して動作させることが難しくなります。このため、従来は動作電圧を下げないことでこの問題に対応してきましたが、一方で、システム LSI の低消費電力化の妨げになるという課題がありました。今後、さらなるトランジスタの微細化の進展と、機器の省エネ化に伴うシステム LSI の省電力化が、今まで以上に求められることが予想されることから、微細化に伴いトランジスタに性能のばらつきを生じても、SRAM を低電圧で動作できる回路技術の開発が求められていました。

このような背景のもと、日立とルネサス テクノロジは共同で、微細化によってトランジスタの性能にばらつきが生じても、SRAM の動作電圧の低減が可能な、新方式の基板バイアス制御回路技術を開発しました。

開発した基板バイアス制御回路技術の概要は、以下の通りです。

(1)NMOS と PMOS の基板バイアスを個別に制御して動作電圧を低減

SRAM のメモリセルは左右対称に配置された 2 種類のトランジスタ(NMOS と PMOS)で構成され、これらが電氣的なバランスによって動作します。トランジスタの性能にばらつきが生じると、このバランスが崩れて正常な動作が困難になることから、従来は動作電圧を下げないことでこの問題に対応してきました。今回、NMOS と PMOS の性能に応じて、トランジスタの基板電位を個別に制御する回路技術を開発しました。これにより、製造時にトランジスタの性能にばらつきが生じても、基板電位を制御することによって、設計時の性能に近づけることができるため、低電圧で SRAM を動作させることが可能となります。

(2)NMOS、PMOS の性能を個別に測定する「ソース線制御 NMOS/PMOS 個別性能測定技術」

NMOS と PMOS の基板電位を個別に制御するためには、それぞれの性能を知るための測定技術が必要です。今回、従来メモリセルのリーク電流を低減する目的で使用されていた SRAM の電源(ソース線)を制御する回路を利用し、NMOS および PMOS の性能を個別に測定できる回路技術を開発しました。これにより、基板バイアスを個別に制御することが可能となりました。

今回、65nm プロセスを用いて、新方式の基板バイアス制御回路技術を搭載したセルサイズ $0.51 \mu\text{m}^2$ の 1 メガビット SRAM モジュールを試作し、効果の確認を行ないました。その結果、新方式の基板バイアス制御回路技術を使用しない場合と比較して、300mV 低い動作電圧での全ビット動作を確認しました。今回開発した回路技術は、プロセスノードが 65nm 以降のシステム LSI において、微細化した SRAM 回路でも、動作電圧および消費電力の低減が可能となる技術として、期待できます。

本技術は、2008 年 2 月 3 日から米国サンフランシスコで開催されている「国際固体素子回路会議 (ISSCC:International Solid-State Circuits Conference)」にて発表する予定です

■注釈

*1 しきい値電圧:トランジスタがオン状態になり、電流が流れ始める電圧のこと。通常のバルク CMOS では、シリコン基板内への不純物の導入によってしきい値電圧を制御する。

■照会先

株式会社日立製作所 中央研究所 企画室 [担当:木下]
〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地
電話 042-327-7777 (ダイヤルイン)

株式会社ルネサス テクノロジ CSR 統括部 広報・宣伝部 [担当:佐藤]
〒100-0004 東京都千代田区大手町二丁目 6 番 2 号(日本ビル)
電話 03-6756-5554 (ダイヤルイン)

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
