

薄膜 BOX - SOI 構造の動作速度の高速化・リーク電力の低減効果を
65 ナノメートルプロセスで作製した CMOS デバイスで実証
従来構造に比べ、動作速度の 20% 高速化とリーク電力を 10 分の 1 に低減できることを確認

日立製作所(執行役社長：古川 一夫/以下、日立)は、国立大学法人東京大学生産技術研究所 平本 俊郎教授と共同で、2004 年に日立が提案した薄膜 BOX(Buried Oxide)-SOI(Silicon on Insulator)構造¹⁾が実現する CMOS デバイスの動作速度の高速化およびリーク電力の低減効果を、65 ナノメートル(以下、nm)プロセスで作製した CMOS デバイスでの実証に成功しました。

薄膜 BOX-SOI は、シリコン基板上に二酸化ケイ素絶縁膜(BOX 層)と単結晶シリコン層(SOI 層)を積層した SOI 基板²⁾の BOX 層の厚さが、10nm 程度まで薄膜化した構造をしています。BOX 層を 10nm 程度まで薄膜化すると、シリコン基板に電圧を加えることによる「動作速度の高速化」と、しきい値電圧³⁾のばらつき抑制による「リーク電力の低減」効果が現れます。今回、シリコン内の不純物の最適分布を求め、これを実現するデバイス設計と、従来の CMOS デバイスと同じ素子レイアウトでシリコン基板に電圧を加えることができる構造を新たに開発しました。この方法を用いて 65nm プロセスで作製したデバイス进行评估したところ、従来のバルク CMOS デバイスに比べ、動作速度の 20% 高速化と、リーク電力を 10 分の 1 に低減できることを確認しました。

本成果は、将来の微細 CMOS デバイスの高性能化を実現するデバイスの基本構造として、薄膜 BOX - SOI 構造の有用性を示すものです。

本研究は、文部科学省の研究課題「低電力高速デバイス・回路技術・論理方式の研究開発」の一環として実施したものです。

IT 関連製品の普及に伴い、近年、サーバや PC、携帯電話など様々な情報機器の心臓部に用いられるシステム LSI の高性能化や低価格、省電力化への対応が、今まで以上に求められています。これまで、トランジスタの微細化を進めることによって、製造コストの削減や性能の向上を実現してきましたが、数十 nm レベルまで微細化が進むと、半導体素子内のシリコンに注入する不純物濃度のわずかなばらつきによって、トランジスタが作動する「しきい値電圧」が大きくなるようになります。この結果、トランジスタを安定して作動させるには、確実に動作を開始する電圧まで設定電圧を引き上げる必要があり、結果として LSI の消費電力が低減できない、という課題がありました。

地球温暖化防止の観点からも、情報機器の省電力化が強く求められており、その抜本的な解決策の一つとして、今後トランジスタの微細化がさらに進んでも、高性能と低電力性能を両立できるデバイス技術の開発が求められていました。

このような背景のもと、日立は 2004 年に動作速度の高速化とリーク電力の低減を実現する新しいトランジスタ構造として、「薄膜 BOX-SOI 構造」を提案しました。薄膜 BOX-SOI は、SOI 基板の BOX 層の厚さを 10nm 程度まで薄膜化した構造で、シリコン基板に電圧を加えることによる「動作速度の高速化」としきい値電圧のばらつきの抑制による「リーク電力の低減」効果が現れる、という特徴があります。これまで、ゲート長 0.5 μm の NMOS⁴⁾ トランジスタという原理検証用の素子で基本的な効果を確認しましたが、実用化に向けての実証として、半導体デバイスの微細構造で

同様の効果が実現できることを検証する必要がありました。

今回、日立と東京大学生産技術研究所の平本教授は共同で、薄膜 BOX-SOI 構造を実際に微細寸法のデバイスに適用した場合の効果を確認するために、微細化に必要な以下の技術を開発し、65nm プロセスで作製した CMOS デバイスを用いて、薄膜 BOX-SOI の効果の検証を行いました。

検証に際し、新たに開発した技術は、次の二つです。

(1) しきい値電圧のばらつきを低減する低不純物濃度のチャンネル^{*5)}構造

バルク CMOS では、トランジスタの電流が流れる部分である「チャンネル」のシリコン内の不純物濃度を制御して、しきい値電圧を制御しています。今回、チャンネルの不純物の量を極端に少なくしても、微細な薄膜 BOX-SOI トランジスタが少ないばらつきで動作できる不純物の最適分布をシミュレーションによって求め、この最適分布を実現するデバイス設計を行いました。

(2) 従来の CMOS デバイスと同じ素子レイアウトを用いたデバイス構造の設計

薄膜 BOX-SOI 構造には、適度な電圧をシリコン基板に加えることで、デバイスの特性を効果的に変えられる特長がありますが、このためには、適切な電圧を加えるために、シリコン基板に第 2 のゲート電極を新たに設置する必要があります。今回、従来の CMOS デバイスと同じ素子レイアウトのまま、薄膜 BOX-SOI 構造を組み込み、素子面積を増やすことなく、基板に電圧を印加できるデバイス構造を設計しました。

動作検証の結果、薄膜 BOX-SOI 構造の CMOS デバイスは、従来のバルク CMOS デバイスに比べ、動作速度の 20% 高速化と、リーク電力を 10 分の 1 に低減できることが確認できました。今回の成果は、薄膜 BOX-SOI 構造が、将来の微細 CMOS デバイスにおいて、高速化、低電力化を両立するデバイス基本構造として有効であることを示すものです。今後は、LSI チップの開発に向けて技術の完成度を高め、幅広い分野に適用できる高速・低電力 CMOS 基盤技術の確立を目指します。

なお、本成果は、12 月 10 日から米国・ワシントン D.C. で開催された電子デバイスに関する国際会議「2007 IEEE IEDM(International Electron Devices Meeting)」にて発表しました。

用語

- *1) 薄膜 BOX-SOI: Silicon on Thin Buried Oxide の略。2004 IEEE IEDM で報告。ゲート長 0.5 μm の NMOS トランジスタを試作し、基本動作を検証。
- *2) SOI: Silicon on Insulator の略。トランジスタの動作速度の高速化と低電力化の観点から注目されているトランジスタの新しい製造プロセス技術。通常のバルク CMOS では、シリコン基板上にトランジスタを形成していくが、SOI トランジスタでは絶縁物の上の単結晶シリコン(SOI 層)上にトランジスタを形成していく。バルク CMOS に比べて、寄生容量やリークが削減されるため、トランジスタの性能が向上する。
- *3) しきい値電圧: トランジスタがオン状態になり、電流が流れ始める電圧のこと。通常のバルク CMOS では、シリコン基板内への不純物の導入によってしきい値電圧を制御する。
- *4) NMOS: Negative channel Metal Oxide Semiconductor の略。
- *5) チャンネル: トランジスタの電流が流れる部分。CMOS デバイスでは、ゲート電極に与える電圧によってチャンネルを流れる電流を制御することで、電源のオン・オフの動作をする。

照会先

株式会社日立製作所 中央研究所 企画室 [担当：木下]
〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地
電話：042-327-7777 (直通)

以 上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
