

情報家電の開発期間短縮が可能なマルチコア技術を開発
4 コア型システム LSI、並列化コンパイラ、マルチコア API を開発し
3.4 倍の速度向上を自動並列化で実現

学校法人早稲田大学(総長：白井克彦／以下、早稲田大学)と株式会社日立製作所(執行役社長：古川一夫／以下、日立)、株式会社ルネサス テクノロジ(会長&CEO：伊藤達／以下、ルネサス テクノロジ)は、このたび、高性能な情報家電ソフトウェアの開発期間の短縮に貢献するマルチコア技術を開発しました。本技術は、複数のプロセッサコアを1チップに集積して並列に動作させることで高性能化を図るマルチコア・プロセッサ技術、並列化コンパイラ技術、並列処理プログラミング (Application Programming Interface／以下、API) 技術からなります。今回、4 個のプロセッサコアを集積したマルチコア型システム LSI (以下、マルチコア LSI)、自動並列化コンパイラ、API 解釈系を試作しました。情報家電で使われるオーディオ圧縮のプログラムを評価対象として用いて、開発技術の性能評価を行い、1 個のプロセッサコアでプログラムを実行した場合の処理速度と比べて、3.4 倍の高速化を確認しました。本技術により、並列処理プログラムを自動的に生成できるため、高性能な情報家電を短期間に開発できるようになります。

本研究開発は、独立行政法人新エネルギー・産業技術総合開発機構が、2005 年度から実施中の「リアルタイム情報家電用マルチコア技術の研究開発」(プロジェクトリーダー：早稲田大学 笠原博徳教授)により、実施されたものです。また、マルチコア・プロセッサの仕様(アーキテクチャ)および並列処理プログラムの仕様(API)は、本研究開発事業の一環として早稲田大学が設置した委員会(委員：日立、ルネサス テクノロジ、株式会社富士通研究所、株式会社東芝、松下電器産業株式会社、日本電気株式会社)にて、共同で検討、開発されたものです。このコンパイラと API を用いることにより、アーキテクチャ仕様に準拠したマルチコア・プロセッサ上でのソフトウェア開発を、短期間で容易に行うことができます。なお本 API の第 1 版は今年度中に一般公開する予定です。

早稲田大学、日立、ルネサス テクノロジは、今後も、映像や オーディオのストリーミングなど情報家電向けの応用を題材として、今回開発したマルチコア技術の評価を進めるとともに、早稲田大学は、前述の委員会の活動を継続し、参加 6 社と共に、マルチコア向けソフトウェアの開発効率化を目指して、マルチコア・アーキテクチャおよび API を拡充していく予定です。

■本技術開発の背景

カーナビゲーションシステムやデジタル TV、DVD レコーダー、家庭用ゲーム機、携帯電話などの情報家電は、近年、ブロードバンド・ネットワークへの接続をはじめ、音声・画像など多様なメディア処理機能の搭載、さらには一般家庭への普及に伴う安全性の向上など、目覚ましい進歩を遂げています。今後、一層の進展を推し進めていくためには、情報家電の中核となるシステム LSI の性能向上に加え、消費電力の低減、さらには、短い製品サイクルに対応した開発期間の短縮が求められています。近年、高性能化・低消費電力化に対応する新技術として、1 チップ上に複数のプロセッサコアを集積し、それらを並列に動作させることによって高い性能を少ない消費電力で実現するマルチコア技術が、高性能なパソコンやサーバで採用され始めています。これを情報家電で広く利用していくためには、並列に動作する組み込みプログラムを短期間に開発することが求められていました。

■本技術の特長

1. 早稲田大学と情報家電機器・LSI メーカー6 社が共同策定したマルチコア・アーキテクチャと API
従来のマルチコア用プログラムは、プログラムを実行するプロセッサ・アーキテクチャに強く依存していたため、他のアーキテクチャへの移植が難しく、開発効率に問題がありました。そこで、早稲田大学と委員会に参画した情報家電機器・LSI メーカー6 社は共同で、メモリの構成などを定義するマルチコア・アーキテクチャと、同アーキテクチャにおける並列処理プログラムの動作やデータ配置・転送などを指示する API を策定しました。これにより、今回策定したアーキテクチャに準拠したマルチコア LSI の間では、共通の並列化コンパイラを利用できるので、プログラムの移植性が格段に向上し、開発効率を大幅に改善させることができます。

2. 情報家電向け並列化コンパイラ

従来、並列化コンパイラでは、多数のデータに対して同じ演算を繰り返すループ処理部分に対してしか並列処理が行えませんでした。しかし、情報家電機器では多種多様なアプリケーションが実行されるため、プログラム中のループ部分のみの並列化では、高速化を図りにくいという問題がありました。開発したコンパイラは、より大きな処理単位での並列化を行う「粗粒度タスク並列化」を含め、プログラム全域から並列性を抽出する「マルチグレイン並列化」を実現しています。

また、処理の高速化の問題になっていたメモリウォール問題に対処するデータ配置の最適化や、高機能 DMA (Direct Memory Access) コントローラを用いたデータ転送オーバーヘッドの最小化、さらに、各プロセッサコアの動作周波数・動作電圧、電源遮断制御を行う消費電力の最小化の機能も実現しています。

3. 情報家電向け 4 コア集積マルチコア LSI

今回策定したマルチコア・アーキテクチャに準拠する最新の SuperH™ (注) マイコンコアを 4 個、1 チップに集積し、マルチコア LSI を開発しました。なお、本マルチコア LSI の詳細は、2007 年 2 月 11 日から米国サンフランシスコで開催された「国際固体素子回路会議 (ISSCC : International Solid-State Circuits Conference)」にて報告しました。

本マルチコア LSI、並列化コンパイラ、API 解釈系を用いて、情報家電で使用されるオーディオ圧縮プログラムに対する並列処理性能の評価を行ったところ、プロセッサコア 1 個の場合に比べ 3.4 倍の速度向上を確認でき、本マルチコア技術の有効性を実証することができました。

(注) SuperHは、(株)ルネサス テクノロジーの商標です。

■照会先

学校法人 早稲田大学 理工学術院 基幹理工学部 情報理工学科[担当：笠原]

〒169-8555 東京都新宿区大久保三丁目4番1号

TEL 03-5286-3371(ダイヤルイン)

株式会社日立製作所 中央研究所 企画室[担当：花輪、木下]

〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地

TEL 042-327-7777(ダイヤルイン)

株式会社ルネサス テクノロジー CSR 統括部 広報・宣伝部[担当：佐藤]

〒100-6334 東京都千代田区丸の内二丁目4番1号(丸ビル)

TEL 03-6250-5554(ダイヤルイン)

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
