

シリコンウェハを45度回転させるだけでpMOSトランジスタの性能が向上する機構を解明 素子分離構造によるシリコン結晶の歪みに起因

株式会社日立製作所 中央研究所(所長:福永 泰ノ以下、日立)は、このたび、通常シリコンウェハを定位置から45度回転させてpMOSトランジスタ^{*1}を形成すると駆動電流が増大し、性能が向上するのは、トランジスタ間の素子分離を行うSTI(Shallow Trench Isolation^{*2})構造の応力によって生じるシリコン結晶の歪みに起因することを解明しました。さらに、電流経路(以下、チャンネル)に平行な方向と垂直な方向の2方向から歪みを加えることで、駆動電流が一層増大し、性能が向上することを確認しました。トランジスタの駆動電流量はLSIの性能を決める重要な要素となるため、今回、シリコンウェハを回転させるだけで駆動電流が増大する機構を明らかにしたことは、今後のLSIの高性能化に道を拓くものです。

LSIを構成するMOSトランジスタの駆動電流は、LSIの性能を決める重要な要素です。駆動電流は、トランジスタのチャンネルを流れる電流の担い手(以下、キャリア)の移動度合いを高めることで増大しますが、正孔(以下、ホール)をキャリアとするpMOSトランジスタでは、通常シリコンウェハを定位置から45度回転させてトランジスタを形成すると、駆動電流が増大するという現象が知られています。また、この現象は、チャンネル長の短いトランジスタで現れる一方、チャンネル長の大きなトランジスタでは、駆動電流にほとんど変化が見られないということも報告されていました。シリコンウェハを45度回転させるということは、トランジスタのチャンネルの結晶方向が、通常 $\langle 110 \rangle$ 方向から $\langle 100 \rangle$ 方向^{*3}に変わることの意味ですが、チャンネル長が短いトランジスタでチャンネルの結晶方向を $\langle 100 \rangle$ 方向とした場合に駆動電流が増大する機構や、また、チャンネル長によって、これらの現象に違いが生じる理由も明らかにされていませんでした。しかし、シリコンウェハを回転させるだけの簡便な方法でトランジスタの駆動電流が増大し、性能が向上することから、これらの現象の要因を解明し、得られた知見を積極的に利用して、LSIの高性能化を実現していくことが期待されていました。

このような背景のもと、日立では、これらの現象にかかわる要因として、トランジスタ間の素子分離に用いられるSTIの応力によって生じるシリコン結晶の圧縮歪み^{*4}に注目し、各種のpMOSトランジスタを試作して詳細な測定を行いました。さらに、得られた実験データを、量子力学計算から求めたホールの有効質量^{*5}と比較し、解析を行いました。

その結果、以下のことが明らかになりました。

1. STIの応力によって生じるシリコン結晶の圧縮歪みはチャンネル長との間に相関関係が存在し、チャンネル長が短いほど、歪みの程度が大きくなること。
2. ホールはチャンネル中を直進するのではなく、ランダムな方向に動きまわりながらソース電極からドレイン電極へと到達するため、その移動度合いは、すべての方向に対するホールの有効質量の平均から決定されること。また、これがチャンネル長の大きなpMOSトランジスタで、ホールの移動度がチャンネルの結晶方向に依存しない理由であること。
3. チャンネルの結晶方向が $\langle 100 \rangle$ 方向の短チャンネルpMOSトランジスタでは、STIの応力によって生じるシリコン結晶の圧縮歪みが起因となり、ホールの移動度合いを向上させ、駆動電流が増大していること。さらに、チャンネルに平行な方向と垂直な方向の両方に2軸性圧縮歪み^{*6}を加えることで、さらに駆動電流が増大すること。

今回得られた知見をもとに、実際に<100>方向のチャネルに対して2軸性圧縮歪みを加えたpMOSトランジスタを作製したところ、<110>方向のチャネルに圧縮歪みを加えない場合に比べて、駆動電流が最大で45%増大することを確認しました。

今後、LSIの高性能化を進めていく上で、その性能に大きな影響を及ぼすトランジスタの駆動電流増大に関する基礎的な知見が得られたものといえます。

なお、本成果は、6月15日に米国ハワイで開催される電子デバイスに関する国際会議VLSI技術シンポジウム(2006 Symposium on VLSI Technology)にて発表します。

- *1 pMOSは、p-channel Metal-Oxide-Semiconductor の略。チャネルのキャリアがp型のホールであるトランジスタ。多結晶シリコン(Metal)、二酸化シリコン(Oxide)、そしてシリコン(Semiconductor)を積層したキャパシタ構造に隣接して、p型に不純物をドーピングしたソース・ドレイン拡散層が形成された素子。多結晶シリコンに電圧を加え、MOSキャパシタに正の電荷を持ったホールを出し入れすることによって、0と1のデジタル情報処理を行う。この素子の他に、キャリアの極性がn型の電子であるnMOSトランジスタがあり、現在使われているLSIの多くは、pMOSトランジスタとnMOSトランジスタを両方搭載したCMOS(Complementary MOS)回路から構成されている。
- *2 シリコン基板に浅い(shallow)溝(trench)を形成し、その溝の中に二酸化シリコン膜を埋め込むことによって、素子と素子の間を電氣的に分離(isolation)するための構造。LSIに搭載されている多くの素子が互いに干渉されることなく、それぞれ電氣的に独立に動かすためには不可欠な構造である。
- *3 結晶の軸方向を「X、Y、Z」の座標で示している。
- *4 結晶に非常に強い圧力を印加することによって、結晶を構成する原子(この場合はシリコン)と原子の間の距離を縮めることで、結晶を歪ませること。
- *5 半導体の結晶中において、負の電荷を持っている電子が抜けている部分は、実効的に正の電荷を持った粒子が存在するとみなすことができ、その粒子をホールと呼んでいる。ホールには電子と同じように質量が存在するが、それは有効質量と呼ばれている。その大きさは一般的に電子の質量と異なり、半導体材料の種類によっても変わってくる。また、真空中では電子の質量はどちらの方向でも一緒だが、結晶中では方向によって有効質量の値が変わる。シリコンではホール有効質量は、電子の真空中での値より若干小さい。LSIで高速に情報を処理するためには、有効質量が小さいほど高速にキャリアを動かすことができ望ましい。
- *6 2つの方向から歪みを加えた圧縮歪みのこと。

照会先

株式会社 日立製作所 中央研究所 企画室 [担当:花輪、木下]

〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地

電話 042-327-7777(直通)

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
