

モバイル機器向けシステム LSI の低消費電力化を実現する 階層型電源遮断回路技術を開発

チップ内部を数十の回路ブロックに分割し、動作していない回路の電源を遮断

株式会社 日立製作所(本社:東京都千代田区/執行役社長:庄山 悦彦/以下、日立)と株式会社ルネサス テクノロジ(本社:東京都千代田区/社長&CEO:伊藤 達/以下、ルネサス テクノロジ)は、このたび、90nm プロセス世代以降のシステム LSI の低消費電力化を促進する階層型の電源遮断回路技術を開発しました。

本技術は、システム LSI 内部を数十もの回路ブロックに分割したうえで、動作していない回路ブロックの電源を遮断することにより、電力消費の原因となるリーク電流を抑制する技術です。今後、回路規模がますます増大するシステム LSI において、消費電力の低減を実現する革新的な回路技術といえます。

モバイル機器の心臓部となるシステム LSI では、映像や画像、音楽などをリアルタイムで処理する高度なマルチメディア処理性能と、電池での長時間使用を可能とする低消費電力性能が要求されています。そのなかで、システム LSI の高性能・高集積化は、トランジスタの微細化によって達成してきましたが、加工プロセスが 90nm 世代となると、回路が動作していない待機時に流れる“リーク電流”が無視できず、これが消費電力を増大させる主要因として問題になっています。

待機時リーク電流を削減するもっとも効果的な手法は、動作していない回路の電源を遮断し、リークする経路を断ってしまうことです。しかし、電源遮断された回路からの出力信号を動作中の回路で入力信号とする場合、ブロック間に信号制御回路^(*)が必要となるため、その実現は容易ではありません。

そこで、従来は、LSI 内部を数個程度のブロックに分割し、同様の電源制御を行っていますが、リーク電流の一層の低減を図るためには、回路をより細分化したブロックとし、使用状況に応じたきめ細かな制御を行うことが有効です。しかし、分割ブロック数が多くなると、搭載する制御回路が膨大となり、システム LSI の設計や動作検証が複雑になることから、多数ブロックへの分割は現実的ではありませんでした。

このような背景のもと、日立とルネサス テクノロジは、システム LSI 内部を数十の回路ブロックに分割し、こまめな電源制御を可能とする階層型電源遮断回路技術を開発しました。

新たに開発した階層型電源遮断回路技術の特長は、以下のとおりです。

(1)電源遮断の優先度に基づいた階層型電源領域設計手法

回路ブロックごとに、その機能に応じて電源遮断の優先度を設け、それに基づく階層構造^(*)を用いてシステム LSI の設計を行います。この結果、電源遮断された回路と、動作中の回路を連携して動作させる制御回路の集積数を大幅に削減することが可能となりました。

(2)チップ内長距離配線に対応した共通電源領域分散配置

回路ブロック間の長距離配線では信号劣化が生じるため、これを防ぐ信号増幅回路が必要です。今回、電源遮断に影響されない階層構造の上位層に“共通電源領域”を設け、そこに増幅回路を配置する工夫をしました。共通電源領域をチップ上に分散して配置することにより、長距離配線の適切な位置に増幅回路を挿入することが可能となります。

(3)電源遮断からの復帰を高速化する電源スイッチ制御回路技術

システム LSI の処理状況に応じて回路ブロックの電源を遮断、復帰するために、電源スイッチ(トランジスタ)のゲート信号を直接モニターし、電源スイッチを制御する高速電源復帰技術を開発しました。

これらの技術により、システム LSI の内部を数十のブロックに分割し、各ブロックの動作状況に応じて、電源遮断を行うことが可能となります。また、電源遮断されたブロックを再び動作させるまでの復帰時間を短縮することで、きめ細かな電源遮断を実現するとともに、実用的に動作検証を行うことが可能です。

今回の電源スイッチ制御回路技術を100万ゲート規模の典型的な回路ブロックに適用した場合、シミュレーションでは、復帰に要する時間が $3.9\mu\text{s}$ となり、本技術を用いない場合と比較し、1/4の速さで復帰できることを確認しています。

本技術は、今後、回路規模がますます増大すると考えられるシステムLSIにおいて、リーク電流を削減し、消費電力の低減を可能とする画期的な回路技術といえます。

なお、本成果は、2006年2月5日から米国サンフランシスコ市で開催されている国際固体素子回路会議(ISSCC:International Solid-State Circuits Conference)にて発表する予定です。

■用語説明

*1)ブロック間の信号制御回路:電源遮断された回路ブロックから、電源が印加されている回路ブロックへの信号は、一般的に確定しない中間レベルの電圧となるため、入力回路にて多大の電流が流れてしまう。これを防止するため、日立とルネサス テクノロジでは、ブロック間信号の制御回路として、 μIO (マイクロアイオー)技術を開発し、適用してきた。

*2)電源領域の階層構造は、次の3つのルールで設計されている。

- ①下位層に位置する電源遮断優先度の高いもの(CPU:中央処理装置など)が電源遮断されない限り、上位層に位置する優先度の低いもの(レジスタなど)の電源は遮断されない、
- ②上位層から下位層への信号回路には、ブロック間信号の制御回路(μIO)を不要にし、下位層から上位層への信号回路にのみ用いる、
- ③各電源領域間の通信は、共通の上位層を経由して通信する。

■照会先

株式会社 日立製作所 中央研究所 企画室 [担当:花輪、木下]
〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地
電話 042-327-7777(ダイヤルイン)

株式会社ルネサス テクノロジ 経営企画統括部 広報・宣伝部 [担当:佐藤]
〒100-6334 東京都千代田区丸の内二丁目4番1号(丸ビル)
電話 03-6250-5554(ダイヤルイン)

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
