

待機時リーク電流を約 1/100 に低減する低消費電力 SRAM 回路方式を考案

ダブルゲート構造の新型 SOI(Silicon On Insulator)トランジスタに適用

日立製作所中央研究所(所長:福永 泰、以下/日立)は、このたび、低電力性能に優れた、ダブルゲート構造の FD-SOI(Fully Depleted-Silicon On Insulator)^{*1}トランジスタを用いた SRAM の、高性能・低電力化を実現する、メモリセル制御方式を考案しました。新しい SRAM は、メモリセルの書き込み、読出しに応じ、メモリセルの列ごとに基板ゲート(バックゲート)の電位を制御する方式です。新回路の性能をシミュレーションにより検証した結果、従来のバルクトランジスタを用いた SRAM と比較して、動作マージンを改善し書き込み動作が 30%高速化するとともに、待機時のリーク電流が 1/100 に低減する結果が得られました。本技術は、低電力性能が必須となるモバイル情報機器向けのシステム LSI に、高性能な SRAM を搭載することが可能となる基本技術として期待されます。

モバイル情報機器の心臓部となるシステム LSI には、高速性に加え、モバイル機器の電池寿命に寄与する低消費電力性が求められます。システム LSI にはオンチップメモリとして多くの SRAM が搭載されているため、SRAM の性能が、システム LSI 全体の性能に影響を及ぼしています。近年、SRAM の微細化とともに、回路が動作していない間(待機時)も流れるリーク電流の増大や素子の性能ばらつきが生じ、高速性と低消費電力性の両立が困難となってきました。特に、素子の性能ばらつきの増加による動作マージンの減少は、メモリセルの安定動作を阻害し、SRAM を構成する上で大きな問題となっています。プロセスノード 90nm 世代では、様々な回路技術を取り入れることでこれらの問題に対応してきました。しかし、65nm 世代以降になると、回路対策だけでは不十分となることが指摘されており、デバイス構造を含めた、新しい技術の開発が求められます。

このような背景のもと、日立では、高速性と低電力性に優れた新構造の SRAM セルとして、これまでダブルゲート構造の FD-SOI トランジスタを用いた SRAM セル^{*2}を考案し、シミュレーションでリーク電流の低減と動作の高速化が可能であること確認してきました。今回、この新型メモリセルを用いた SRAM において、さらなる高性能化と低電力化を実現する、メモリセル制御方式を考案しました。

新たに開発したメモリセル制御方式は、メモリセル動作の種類(書き込み、読出し)に応じ、メモリセルの列ごとに、基板(バック)ゲートの電位を制御する“バックゲート電位制御方式”です。本方式の特徴は以下の通りです。

1. 動作マージンの向上

SRAM 回路では、メモリセルへの書き込みと読み出しという異なった動作が実行されますが、それぞれ動作原理が異なるため、必要な動作マージンも異なります。今回、動作の種類に応じ、メモリセルの列ごとに、バックゲート電位を制御することで、各動作に必要な動作マージンを増大させることが可能となりました。

2. 待機時リーク電流の低減

SRAM 回路では、SRAM にアクセスがない待機時にも、データを保持するために電源を印加しておく必要があり、動作していないトランジスタを流れるリーク電流によって消費電力が増加するという問題がありました。今回、バックゲート電位を制御することで、リーク電流の低減が可能となりました。

今回、FD-SOI デバイスの実測結果を用いて、考案した SRAM 回路についてシミュレーションによる評価を行ったところ、従来のバルクトランジスタを用いた SRAM と比較して、待機時リーク電流を約 1/100 に、動作マージンの向上により動作速度を 30%向上できることを確認しました。

本技術は、低電力性能が必須となるモバイル情報機器向けのシステム LSI に、高性能な SRAM を搭載することを可能とする基本技術として期待されます。

なお、本成果は、2005年11月1日から台湾地域で開催される「2005 Asian Solid-State Circuits Conference」にて発表する予定です。

用語

- *1) FD-SOI : Fully Depleted Silicon on Insulator(完全空乏型 SOI)。通常使われている半導体はシリコン基板上にトランジスタを形成するが、SOI はシリコン基板上に絶縁膜を形成しその上にトランジスタを形成する。絶縁物に囲まれてトランジスタを形成するため理想的な状態にトランジスタを製造することができる。
- *2) 他の SOI デバイスに比べ、デバイス製造時のばらつきが低く、リーク電流の少ない FD-SOI を用いました。さらに、通常のトランジスタはゲート電極 1 つで電流制御を行いますが、2 つのゲート電極を有する"ダブルゲート型トランジスタ構造"を採用し、電流の制御性を高めました。

照会先

株式会社 日立製作所 中央研究所 企画室 [担当：内田、木下]
〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地
TEL 042-327-7777 (ダイヤルイン)

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
