

## ギガビット級の DRAM に向けた新概念の回路設計技術を考案 素子特性のばらつきを統計処理することによってチップ設計の良否を定量評価

日立製作所(執行役社長:庄山悦彦、以下:日立)は、エルピーダメモリ株式会社(代表取締役社長兼 CEO:坂本幸雄、以下エルピーダ)と共同で、チップ内の全メモリセルについて、トランジスタ特性のばらつき分布を計算し、チップ設計の良否を定量的に評価できる、新概念の DRAM<sup>\*1</sup> 設計技術を考案しました。ギガビット級の DRAM では、素子特性のバラツキが格段に増大し、これを考慮して高性能な DRAM チップを設計することが困難になると予測されます。新たに開発した設計技術は、この問題を打破するもので、ギガビット級の DRAM 設計に必須の技術といえます。

急速に発展する情報化社会において、DRAM はハイエンドサーバからパーソナルコンピュータ、デジタル家電や携帯情報端末に至るまで、私たちの日常生活に欠かせない様々な情報機器に搭載されています。これらの機器の性能の向上には、DRAM の高性能化、低コスト化を継続的に進める必要があります。従来、DRAM の高性能・低コスト化は、DRAM を構成するトランジスタの微細化によって実現されてきました。しかし、今後、ギガビット級の DRAM を実現するために微細化を進めていくと、トランジスタの特性バラツキが増大し、DRAM の回路設計が難しくなることが予測されます。これは、トランジスタの特性バラツキが、DRAM の読み出し信号量<sup>\*2</sup>を劣化させるノイズ源になるためです。ノイズが読み出し信号量を超えた場合に不良ビットが生じるため、DRAM の回路設計は、トランジスタの特性バラツキと、読み出し信号量を精密に考慮する必要があります。従来は、最もトランジスタ特性の低いメモリセルを想定した条件下で回路設計を行い、不良ビットの発生を減らすという設計手法(ワースト設計)が採用されてきました。しかし、考慮すべき特性は複数あり、それらすべてについて最も性能の低い値を組み合わせたメモリセルを想定する必要があります。このため、特性のバラツキが増大するとワースト設計に用いるメモリセル性能は一層低くなり、そのような極端に悪い条件で十分な読み出し信号量を確保した回路設計を行うと、高性能なチップは得られず、DRAM チップ設計が破綻します。また、ワースト設計に用いるようなメモリセルは、実チップ上では非常に低い確率でしか発生しないため、予測と実性能の間で整合性が低いという問題もありました。

このため、ギガビット級の DRAM チップの実現には、増大が予測される特性ばらつきの問題に対応すると共に、実チップに即した新しい回路設計技術の開発が必要とされていました。

このような背景から、日立とエルピーダでは、チップ内の全メモリセルについて、トランジスタ特性のばらつき分布を精密に計算してチップ設計を行う、新概念の DRAM 設計技術を考案しました。新しい DRAM 設計技術の詳細は以下の通りです。

### (1) 統計分布を用いた全メモリセルの特性モデリング

正規分布等の統計分布を用いてトランジスタ特性をモデリングし、メモリセル毎にトランジスタの特性バラツキを再現してチップ上全てのメモリセルの読み出し信号量とノイズを算出します。これにより、実チップ上で発生が予想されるワースト条件のメモリセルを見出すことが可能です。適用した分布モデルは、実デバイスの物理現象に立脚したもので、実チップの特性を高精度に再現します。

### (2) 不良ビット総数による回路構成の定量的評価

(1)で得られたメモリセル特性から、実チップで発生が予想される不良ビットの総数を算出し、設計した回路構成の定量的評価が可能です。

今回、考案した設計手法を用いて DRAM チップを設計、総不良ビットを算出し、同じ条件下で作成した実チップと比較したところ、測定誤差範囲内で総不良ビット数が一致し、提案した手法の妥当性が確認されました。また、この設計手法では、複数の素子バラツキを持つメモリセルの特性を同時に再現することが可能です。このため、全ての不良ビットについてその原因を解析することで、不良ビットを低減するための最も効率のよい再設計指針を得ることも可能となります。

本技術は、2月6日から米国サンフランシスコで開催された国際固体素子回路会議「2005 IEEE International Solid-State Circuit Conference (ISSCC 2005)」で2月9日に発表いたしました。

<用語>

\*1 DRAM: Dynamic Random Access Memory の略。記憶保持(リフレッシュ)動作が必要な随時書き込み読み出しメモリ。メモリセルは、1つのトランジスタと1つのキャパシタを用いて、2値情報を記憶する。

\*2 読出し信号量: DRAM では、メモリセルのキャパシタに電荷を蓄え、情報を記憶しており、メモリセルからデータ線上に読み出される微小信号量のこと。この微小信号は、センスアンプ回路で増幅され2値情報として外部に出力されます。

本件に関する照会先

株式会社 日立製作所 中央研究所 企画室 [担当:内田、木下]  
〒185-8601 東京都国分寺市東恋ヶ窪1丁目280番地  
TEL 042-327-7777(ダイヤルイン)

エルピーダメモリ株式会社 IR&マーケットコミュニケーション Gr. [担当:高橋、小林]  
〒104-0028 東京都中央区八重洲2丁目2番1号  
TEL 03-3281-1648(ダイヤルイン)

---

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。

---