

2004年12月13日
株式会社日立製作所
日立化成工業株式会社

65nm 以降の LSI に向けた低誘電率(low-k)材料の高信頼化技術を開発 材料の劣化メカニズムを解明し、寿命を二桁向上

日立製作所(執行役社長：庄山悦彦、以下日立)ならびに日立化成工業(執行役社長：長瀬寧次、以下日立化成)は、このたび、次世代 LSI に必須となる低誘電率(low-k)材料を大幅に高信頼化する技術を開発しました。低誘電率材料が電氣的に劣化するメカニズムを初めて解明するとともに、その劣化を抑制する技術を分子レベルで適用し寿命を飛躍的に向上させたものです。次世代 LSI の大幅な高性能化と高信頼化を同時に実現する技術として期待されます。

現在の情報化社会を支える LSI は、年々集積度を上げながら発展してきました。これにともない LSI 内の配線もますます高密度になるため、配線間容量*1) の増大による信号遅延が LSI の高性能化を妨げるようになってきました。そこで配線間の絶縁材料の誘電率*2) をできるだけ下げて、配線間容量を低減することが必須となっています。しかし、材料の誘電率を低くすると機械強度や長期信頼性が低下する問題が発生し、実用化の大きな障害になっていました。これまでに、日立化成では高い機械強度を有する低誘電率材料を先行して開発してきましたが、今後、さらに低誘電率化を進めるには、材料の長期信頼性が鍵となります。

今回、日立と日立化成は共同で、長期信頼性を決める劣化のメカニズムを初めて解明し、長寿命の高信頼低誘電率材料を開発しました。開発した技術の概要は次の通りです。

(1)劣化メカニズムの解明

低誘電率材料に電気ストレスを与えて意図的に劣化させ、化学構造を分析しました。その結果、材料分子中に含まれる有機成分が電子のエネルギーで徐々に破壊され、水分に置き換わるため、低誘電性が失われることを、はじめて明らかにしました。

(2)分子レベルの劣化抑制技術

低誘電率材料に含まれる有機成分を分子レベルで制御する技術を開発しました。材料生成プロセスにおける反応経路、温度、速度、組成、分子量を制御して、劣化抑制に効果の高い化学構造を探索し、約 10 年だった寿命が約 1,000 年に向上する特性が得られました。

開発した技術は日立化成の low-k 塗布材料「HSG シリーズ」として、65nm 世代以降の材料に適用していく予定です。これら材料を使うことにより、引き続き 45nm 世代まで LSI の性能向上を維持することが可能となります。なお本成果は、2004 年 12 月 13 日から米国・サンフランシスコで開催の国際電子デバイス会議「2004 IEDM(International Electron Devices Meeting)」で発表される予定です。

用語説明

*1 配線間容量

近接する配線間に生じる電気容量です。配線間の容量が大きくなると、それに比例して配線を伝わる信号が遅延します。

*2 誘電率

絶縁材料の電気特性をしめす指標のひとつで、誘電率が低い材料を使うほど配線間容量を低減できます。

お問い合わせ先

株式会社 日立製作所 中央研究所 企画室 [担当：内田、木下]

〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地

TEL 042-327-7777(ダイヤルイン)

日立化成工業株式会社 コーポレート戦略室 広報・IRグループ [担当：長谷川、野口]

〒163-0449 東京都新宿区西新宿二丁目 1 番 1 号

TEL 03-5381-2374(ダイヤルイン)

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
