

2004年7月20日
株式会社日立製作所
エルピーダメモリ株式会社

IPv6時代のネットワーク・ルータに適した検索機能付きメモリを考案 従来比6倍のIPアドレス登録を可能に

日立製作所(執行役社長：庄山 悦彦、以下：日立)はエルピーダメモリ株式会社(社長&CEO：坂本幸雄、以下エルピーダ)と共同で、このたび、ネットワーク・ルータに用いられる検索機能付きメモリ(CAM:Content Addressable Memory)において、同一チップ面積に従来比2倍のIP(Internet Protocol)アドレスを登録可能な圧縮符号化方式を考案しました。さらに高集積化に優れた汎用DRAM¹⁾ベースのメモリセルを適用すれば、従来に比べ最大6倍のIPアドレスの登録が可能となります。

IPアドレスの数が飛躍的に増加するIPv6時代に向け、ネットワーク・ルータの高性能・低コスト化に寄与する新時代の半導体メモリCAMの基本技術として期待されます。

10の38乗(128ビット)というIPアドレスを割り当てることができるインターネットプロトコルIPv6(Internet Protocol version 6)を用いた次世代ネットワーク社会の実現に向けて、基幹設備、ルータ、スイッチ、ソフトウェアなど、様々な分野で技術開発が進められています。半導体デバイスの分野においても、近年、IPv6時代のネットワーク用デバイスとして検索機能付きメモリ(CAM:Content Addressable Memory)が、注目を浴びています。このデバイスは、ネットワーク上の信号を転送、選別するルータに使われるもので、データテーブルの記憶および高速検索を行う機能を持っていることが特徴です。

CAMのメモリセルは、IPアドレスを記憶する2個のメモリ素子と比較演算器から構成されています。これによって受信した信号の転送先を、予め登録されたIPアドレスの一覧から検索することができるため、膨大なIPアドレスを扱うIPv6時代に適したデバイスと考えられています。しかし従来のCAMでは、原理的に4つの情報(4値)を記憶可能なメモリセルに、3つの情報(3値)しか記憶できないという冗長性がある他に、SRAM²⁾方式のメモリセルを採用しているため、メモリの大容量・高集積化が難しいという課題がありました。

このような背景から、今回、日立とエルピーダは、冗長性の課題を解決することによって多くのIPアドレスを登録できるとともに、メモリの大容量化、高集積化が可能なIPv6時代のCAMを考案し、シミュレーションによって回路動作を確認しました。考案したCAMの特長は、以下の通りです。

(1) 冗長性を排除した符号化方式：2進数(0,1)で表記されたIPアドレスを、2ビット毎に符号化することにより4進数に換算し、それぞれの桁の数値を、4つのメモリ要素で記憶するという全く新しい概念の圧縮符号化方式を考案しました。

これによって、従来に比べ2倍のIPアドレスの登録が可能になります³⁾。

(2) IPアドレスの一致判定回路技術：登録したIPアドレスを検索する際に、比較結果に応じた信号を判定する判定回路が必要です。今回、4進数の桁を記憶するメモリブロック毎に比較結果に応じた信号を判定しなければなりませんので、2つのトランジスタで構成した判定回路を新

たに考案しました。これにより、小面積で従来と同様の比較動作が可能になります。

現在稼働中のルータに登録された IP アドレスを用いてメモリの使用量を比較したところ、従来の符号化方式に比べ、新方式では平均で 2 分の 1 となりました。さらに、高集積化に優れた汎用 DRAM ベースのメモリセルと併用することにより、同一チップ面積で従来比 6 倍の IP アドレスを登録することが可能になります。本技術は、IP アドレスが指数関数的に増大する IPv6 時代において、高性能、低コストのネットワーク・ルータを実現するための基本技術といえます。

なお、本成果は、2004 年 6 月 17 日から米国・ホノルルで開催された集積回路に関する国際会議「The 2004 Symposium on VLSI Circuits」にて発表されています。

用語

(1) DRAM : Dynamic Random Access Memory の略。記憶保持 (リフレッシュ) 動作が必要な随時書き込み読み出しメモリ。メモリセルは、1 つのトランジスタと 1 つのキャパシタを用いて、2 値情報を記憶する。

(2) SRAM : Static Random Access Memory の略。記憶保持 (リフレッシュ) 動作が不要な随時書き込み読み出しメモリ。メモリセルは、6 つのトランジスタを用いて、2 値情報を記憶する。

(3) 本符号による IP アドレスは、いずれの桁の数も、論理値 ' 1 ' のビットが 1 つだけのビット列で表記されます。したがって、対応する桁において、論理値 ' 1 ' のビットを 2 つ以上のビット列とすることにより、複数の IP アドレスを一度に登録可能です。符号化ブロックにおけるビット列のパターンは $16 (=2^4=4^2)$ 通りとなりますので、これは、従来 CAM のメモリセルと同じ 2 つのメモリ素子で 4 通りの情報を記憶可能になることと等価です。すなわち、本方式により、IP アドレスの圧縮率を改善します。

照会先

株式会社 日立製作所 中央研究所 企画室 [担当 : 内田、木下]
〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地
TEL 042-327-7777 (ダイヤルイン)

エルピーダメモリ株式会社 IR&マーケットコミュニケーション Gr. [担当 : 高橋]
〒104-0028 東京都中央区八重洲 2 丁目 1 号
TEL 03-3281-1648 (ダイヤルイン)

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
